**به نام خدا**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| سری اول تمرینات  | درس معماری کامپیوتر | ترم اول سال تحصیلی 94-93 | مدرس: مظفر بگ محمدی | دانشگاه ایلام |

1. **عملکرد لچ:** ساختار master-slave زیر را که از دو لچ حساس به سطح D تشکیل شده است را در نظر بگیرید. فرض کنید که حالت اولیه هر دو لچ برابر صفر است. همچنین فرض کنید که هر کدام از لچها دارای تاخیر کمی هستند (کمتر از 1/5 پریود کلاک). خروجی لچ اول (Y) و مدار (X) را با توجه به ورودیهای زیر رسم کنید.



|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| **CLK** |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| **A** |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| **Y** |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| **X** |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |

1. **عملکرد فلیپ فلاپ:** فرض کنید که ورودیهای J و K بهمراه پالس ساعت مطابق شکل زیر به یک فلیپ فلاپ JK حساس به لبه مثبت اعمال شده اند. خروجی فلیپ فلاپ را رسم کنید.

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| C |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| J |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| K |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| QJK |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |

1. **آنالیز:** در مدار زیر فرض کنید که مقدار اولیه ی رجیسترها برابر 000 است. در سه پالس ساعت متوالی مقادیر 011، 101 و 100 را به وردیهای Z1 ، Z2 و Z3 اعمال می کنیم (یعنی مثلا در پالس دوم ساعت Z3Z2Z1=101 است)، مقادیر خروجی ها را در پایان پالس سوم ساعت بدست آورید.



1. **دیاگرام:** دیاگرام زمانی مدار زیر را برای 15 پالس ساعت (کلاک) رسم کنید و نشان دهید که خروجیهای Q0 تا Q3 در هر کلاک چگونه تغییر می کنند. حالت اولیه مدار را برابر 0000 در نظر بگیرید.

|  |
| --- |
| D0 Q0 C Q0’ |

|  |
| --- |
| D1 Q1 C |

|  |
| --- |
| T2 Q2 C |

|  |
| --- |
|  D3 Q3 C |

|  |
| --- |
| clock |

1. **آنالیز**: مدار زیر را آنالیز کنید و معادلات حالت و تحریک، جدول حالت و دیاگرام حالت را نشان دهید. خروجيهاي مدار A و B هستند.



1. **طراحی:** با استفاده از فلیپ فلاپهای D یک ماشین مور طراحی کنید که تمام دنباله های بصورت 01011 را در ورودی تشخیص دهد. جدول حالت، دیاگرام حالت و مدار نهایی را رسم کنید.
2. **ماشین میلی:** یک ماشین میلی ( یعنی خروجیها فقط با لبه ی مثبت کلاک تغیر می کنند) طراحی کنید که تمام دنباله های بصورت 1011011 را در ورودی تشخیص دهد. از فلیپ فلاپهای JK برای پیاده سازی حالتها استفاده کنید. جدول حالت، دیاگرام حالت و مدار نهایی را رسم کنید.
3. **طراحی**: با استفاده از فلیپ فلاپهای T مداری طراحی کنید که بصورت زیر عمل کند:

P=0: 0🡪4🡪2🡪0

P=1: 1🡪3🡪5🡪1

1. **شمارنده**: با استفاده از شمارنده های 3 بیتی سنکرون (شکل زیر) و گیتهای منطقی مناسب یک شمارنده 6 بیتی بسازید. ورودی E تواناساز است.



1. **آنالیز رجیستر:** خروجی مدار زیر را برای شش پالس ساعت مشخص کنید:



1. **طراحی رجیستر**: با 4 فليپ فلاپ D و 4 مولتي پلکسر 4 به 1 ، يک رجيستر 4 بيتي طراحي کنيد. اين رجيستر داراي دو ورودي کنترل s1 و s0 است و عملکرد آن از جدول زير پيروي مي کند:

|  |  |  |
| --- | --- | --- |
| **عملکرد رجيستر** | **S1** | **S0** |
| مکمل کردن خروجيها | 0 | 0 |
| شیفت حلقوی به راست | 1 | 0 |
| بار کردن موازي | 0 | 1 |
| جمع با عدد 1 | 1 | 1 |

1. **آنالیز رجیستر:** خروجی مدار زیر (Q) را را برای 12 پالس کلاک نشان دهید. مقدار اولیه رجیستر را برابر (3A)16 فرض کنید.

